

(19)



JAPANESE PATENT OFFICE

T1-12018JA

PATENT ABSTRACTS OF JAPAN

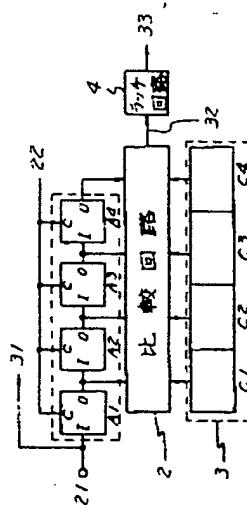
(11) Publication number: **60140834 A**(43) Date of publication of application: **25.07.85**(51) Int. Cl **H01L 21/66**(21) Application number: **58247016**(71) Applicant: **NEC CORP**(22) Date of filing: **28.12.83**(72) Inventor: **TOYOFUKU TAKASHI**(54) **TEST CIRCUIT BUILT-IN TYPE
SEMICONDUCTOR INTEGRATED CIRCUIT**

(57) Abstract:

PURPOSE: To eliminate the need for the continuation of the inputting of an input at a fixed level during a test mode period by mounting a comparison circuit comparing combination data stored in an internal memory and the combination of series data inputted from an input terminal and a circuit latching an output from the comparison circuit and using an output from the latch circuit as a signal for a test.

CONSTITUTION: Since outputs from a comparison circuit 2 are at an L level on series data signals except the combination of H and L stored in a memory 3 as input signals applied to a multifunction input terminal 21, active signals 32 from a test circuit continue to output an H level while signals 31 inputted to the terminal 21 are transmitted over the inside of an integrated circuit. Outputs from the comparison circuit 2 are at the H level and the active signals 32 are at the L level when the same series data signals as the combination of H and L stored in the memory 3 are inputted to the terminal 21. A circuit function in the integrated circuit can be evaluated because the signals function as the activation of the test circuit in the integrated circuit.

COPYRIGHT: (C)1985,JPO&Japio



A1, A2, A3, A4 of the shift register 1 is inputted to a comparison circuit 2. The output of the 4 bit memory 3 is also inputted to the comparison circuit 2. The comparison circuit 2 compares data outputted from the shift register 1 with the data outputted from the memory 3, and outputs signal 32 when the 4 bits each have the same amount of data. As the signal 32 is an input signal of the latch circuit 4, the output signal 33 of the latch circuit 4 changes in accordance with the signal 32 and maintains its output. This output signal 33 of the latch circuit 4 is the signal which activates the circuit to be tested.

Figure 4 shows a circuit of an embodiment of the present invention. T1-T12 are N channel enhancement type MOS transistors, N1-N8 are inverter circuits, T13 is a N channel depletion type MOS transistor, N9-N12 are EXOR circuits, N13-N14 are NOR circuits.

In operation, the high and low signals loaded in the multi-functional input terminal 21 are inputted to the 4 bit shift register 1 and shifted by the shift clock 22. High and low data are outputted arbitrary from the 4 bit memory 3, the output of each bit being compared with each output of the shift register 1 in the comparison circuit 2 consisting of EOR circuit. The output signal of the comparison circuit 2 is an input of the latch circuit 4 consisting of N13, N14. The output signal 32 of the latch circuit 4 is used as a signal to activate the test circuit.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭60-140834

⑬ Int.Cl.⁴

H 01 L 21/66

識別記号

庁内整理番号

6603-5F

⑭ 公開 昭和60年(1985)7月25日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 テスト回路内蔵型半導体集積回路

⑯ 特 願 昭58-247016

⑰ 出 願 昭58(1983)12月28日

⑱ 発 明 者 豊 福 隆 東京都港区芝5丁目33番1号 日本電気株式会社
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

テスト回路内蔵型半導体集積回路

2. 特許請求の範囲

回路機能を評価するためのテスト回路を内蔵してなるテスト回路内蔵型半導体集積回路において、内部のメモリに貯えられた組み合わせデータと入力端子から入力された直列データの組み合わせとを比較する比較回路と、該比較回路の出力をラッチする回路とを含み、該ラッチ回路の出力をテスト用信号とすることを特徴とするテスト回路内蔵型半導体集積回路。

3. 発明の詳細な説明

(技術分野)

本発明は、回路機能評価用テスト回路(以下テスト回路と称す)内蔵型半導体集積回路、特に内部にテスト回路を有する集積回路において、入力

端子から入力される直列データの組み合わせによって内蔵されているテスト回路をアクティブにして特性評価・チェックを行うテスト回路内蔵型半導体集積回路に関する。

(従来技術)

近年、集積回路の回路・機能は複雑・多様化しているため、内部にテスト回路を有する集積回路が開発されているが、テスト回路をアクティブにするには、テスト専用のテスト用入力ピンを増設したり、あるいは多機能入力端子を設けて入力信号として電源電圧以上の電圧をかけるなどの方法が用いられた。

第1図に多機能入力端子の場合における従来方法の一例のブロック構成図を示す。図に於いてN11はNチャンネルダイブレーション型MOSトランジスタ、N12はNチャンネルエンハンスメント型トランジスタである。入力端子I0に印加する電圧振幅が電源電圧Vcc以内であると、インバータG11の閾値は0V-Vccの範囲内の所定値に設定されているので、出力I1は入力端子I0

に入力した信号に対応する動作を行ない、又、A点の電位はインバータG12に対し、低レベルとなるように設定されているので、テストモード用出力12は常時高レベルになり、このようにテスト回路がアクティブ信号を低レベルに設定するとテスト回路はアクティブにならない。入力端子10に印加する電圧として電源電圧Vccを越えた電圧を加えると、Vccを越えた電圧が印加されている期間中は、A点の電位はインバータG12に対し高レベルとなり、出力11, 12は低レベルとなり、テスト回路をアクティブにすることができる。この場合、テストモード期間中は、入力端子10に電源電圧Vccを越える電圧を入力し続けなくてはならない。

第2図に以上の動作を説明するタイミングチャートを示し、Tはテスト期間を示す。

しかし集積回路を搭載するパッケージのピン数や集積回路をテストするテストシステムには制限があるため、このような方法では効率の良いテストを行うことができなくなってきた。

- 3 -

多機能入力端子21には、信号22をシフトクロックとする4ビットのシフトレジスタ1が接続されており、該シフトレジスタ1の各々の要素A1, A2, A3, A4の出力は、比較回路2に輸入され、一方該比較回路2には4ビットのメモリ3の出力も入力されており、シフトレジスタ1から出力されるデータとメモリ3から出力されているデータを比較し、4ビットすべてのデータが一致したとき、信号32を出力しこの信号32はラッチ回路4の入力信号となっているためラッチ回路4の出力信号33は信号32によって変化する、同時にその出力を保持する。このラッチ回路4の出力33はテスト用回路をアクティブにするための信号である。

第4図に本発明の一具体例の回路図を示し、T1~T12はNチャネルエンハンスメント型MOSトランジスタ、N1~N8はインバータ回路、T13はNチャネルディプレッション型MOSトランジスタ、N9~N12はEXOR回路、N13~N14はNOR回路を示す。

- 5 -

(発明の目的)

本発明は従来のもののテストモード期間中は一定レベル入力を入力し続けなければならない欠点をなくすと同時に、テストモード中でも信号を入力できるテスト回路内蔵型半導体集積回路を提供することにある。

(発明の構成)

本発明によると回路機能の評価するためのテスト回路を内蔵してなるテスト回路内蔵型半導体集積回路において、内部のメモリに貯えられた組み合わせデータと入力端子から入力された直列データの組み合わせとを比較する比較回路と、該比較回路の出力をラッチする回路とを含み、該ラッチ回路の出力をテスト用信号とすることを特徴とするテスト回路内蔵型半導体集積回路が得られる。

(実施例)

次に本発明の実施例を図面を参照して説明する。

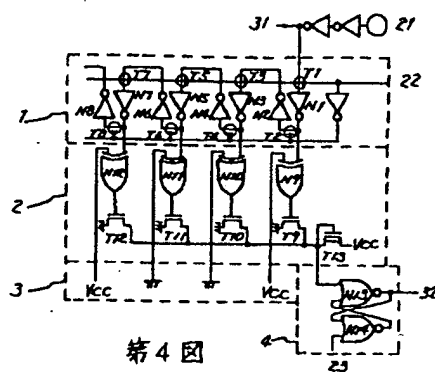
第3図は本発明の一実施例のブロック構成図を示す。多機能入力端子21はテスト回路をアクティブにする機能と、その他の機能を有しており、

- 4 -

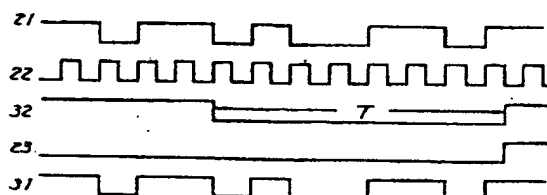
次にこの回路の動作について説明すると、多機能入力端子21に印加される高、低の信号は、T1, N1~T8, N8で構成されている4ビットのシフトレジスタ1に輸入されており、シフトクロック22によって順次シフトされている。4ビットメモリ3からは任意の高、低データが出力されており、各ビットの出力と前記シフトレジスタ1の各々の出力とはビット毎にEXOR回路で構成する比較回路2で比較されている。比較回路2の出力信号はN13, N14で構成するラッチ回路4の入力となっており、ラッチ回路4の出力信号32をテスト回路のアクティブ信号としている。

多機能入力端子21に印加される入力信号としてメモリ3に貯えられている高、低の組み合わせ以外の直列データ信号の場合には、比較回路2の出力は低レベルとなっているため、テスト回路のアクティブ信号32は高レベルを出力し続けている。同時に多機能入力端子21に輸入されている信号は信号31として集積回路内

- 6 -



第4図



第5図